

チップの中にネットワークを作る

ネットワークオンチップに基づくディペンダブルメニコアシステムに関する研究

戦略的創造研究推進事業

「ディペンダブルVLSIシステムの基盤技術」

課題名：ディペンダブルネットワークオンチッププラットフォームの構築

研究代表者

米田友洋(国立情報学研究所)

主たる共同研究者

今井 雅(東京大学)

松本 敦(東北大学)

齋藤 寛(会津大学)

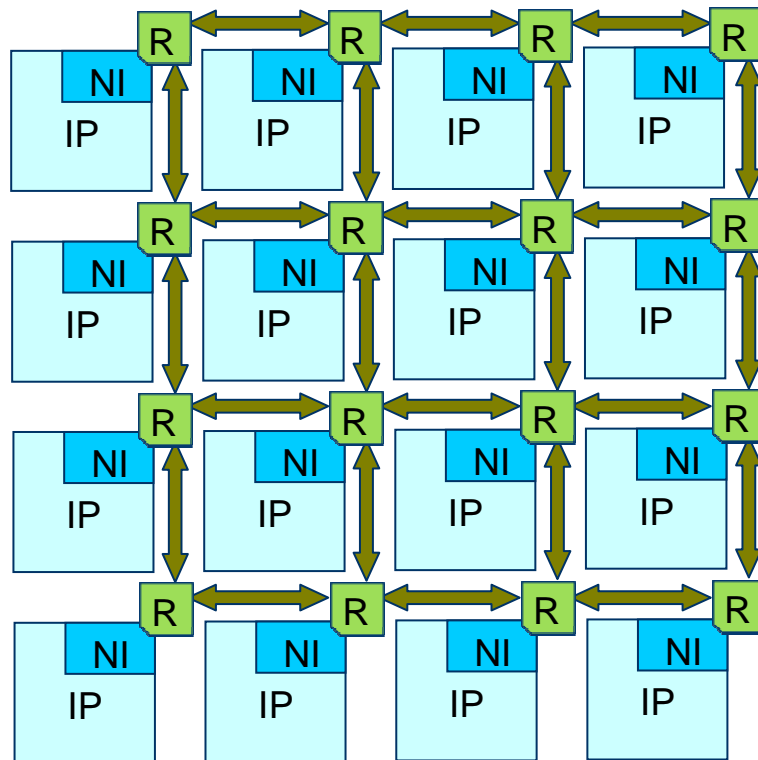
背景

- ◆ 一つのVLSIに実装が求められるコア数
 - 近い将来に必ず急激に増加する
- ◆ (例) 車載制御系システム
 - さまざまなタイプのECUが50個以上も混在
 - 実装方法にいくつかの課題
 - 新しいアプローチ
 - 集中型ECU
 - ◆ 各ECUを統合
 - X-by-Wire方式
 - ◆ センサー・アクチュエータ間を光ファイバなどで接続

「多数のコアが適応的に協調動作して異種多様なタスクを効率よく実行できるプラットフォーム」が必要

アプローチ

◆ ネットワークオンチップ(NoC)



IP: CPUコアやアクセラレータ・メモリ等
NI: ネットワークインターフェース
R: ルータ

◆ 大域非同期局所同期(GALS)方式

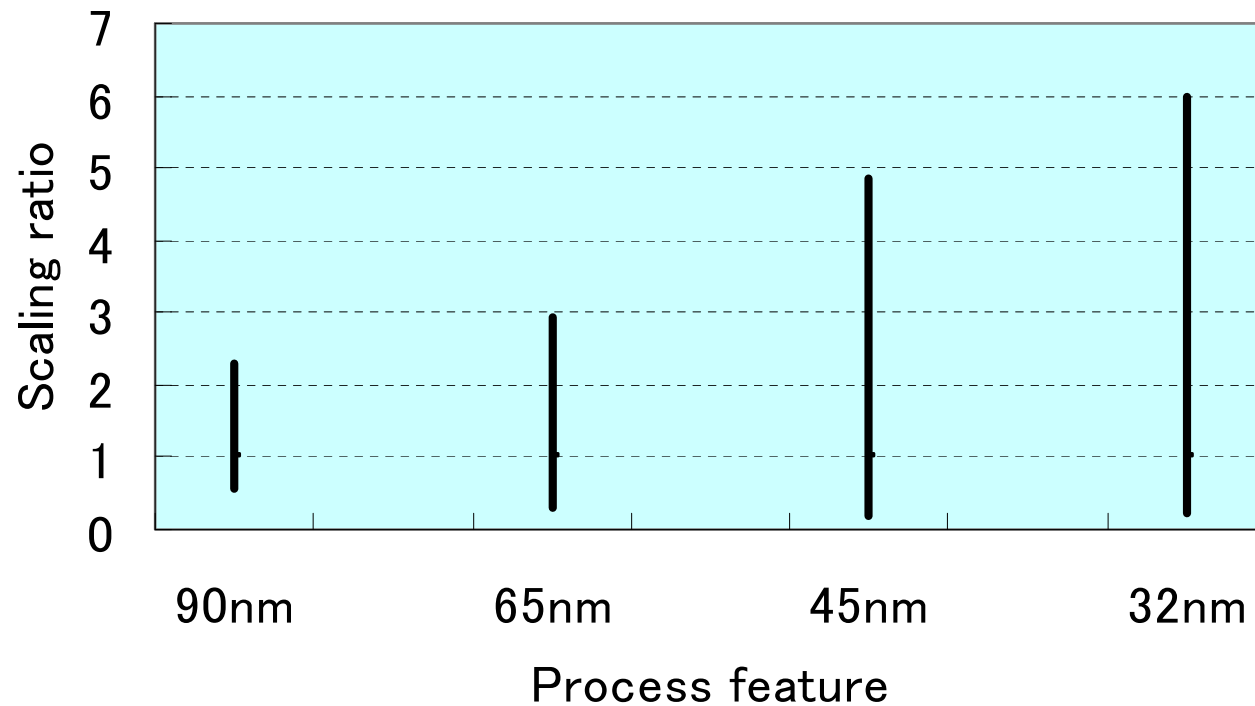
どのような問題がある？

- ◆ GALS-NoC方式でも以下のような問題がある
 - 微細化に伴うコア内の局所的な性能劣化
 - 高ディペンダビリティ化が必要
 - コアの寄せ集めによる冗長・不要部分の増加
 - 高アダプタビリティ化が必要
 - GALSにおける通信の非同期化に伴う、速度および面積オーバーヘッドの増加
 - 高性能化の追求

微細化に伴うコア内の局所的な性能劣化

- プロセスばらつき
- 電源電圧変化
- 温度変化

FO4 delay variation



ディペンダビリティ・動作率の向上

◆ 従来手法

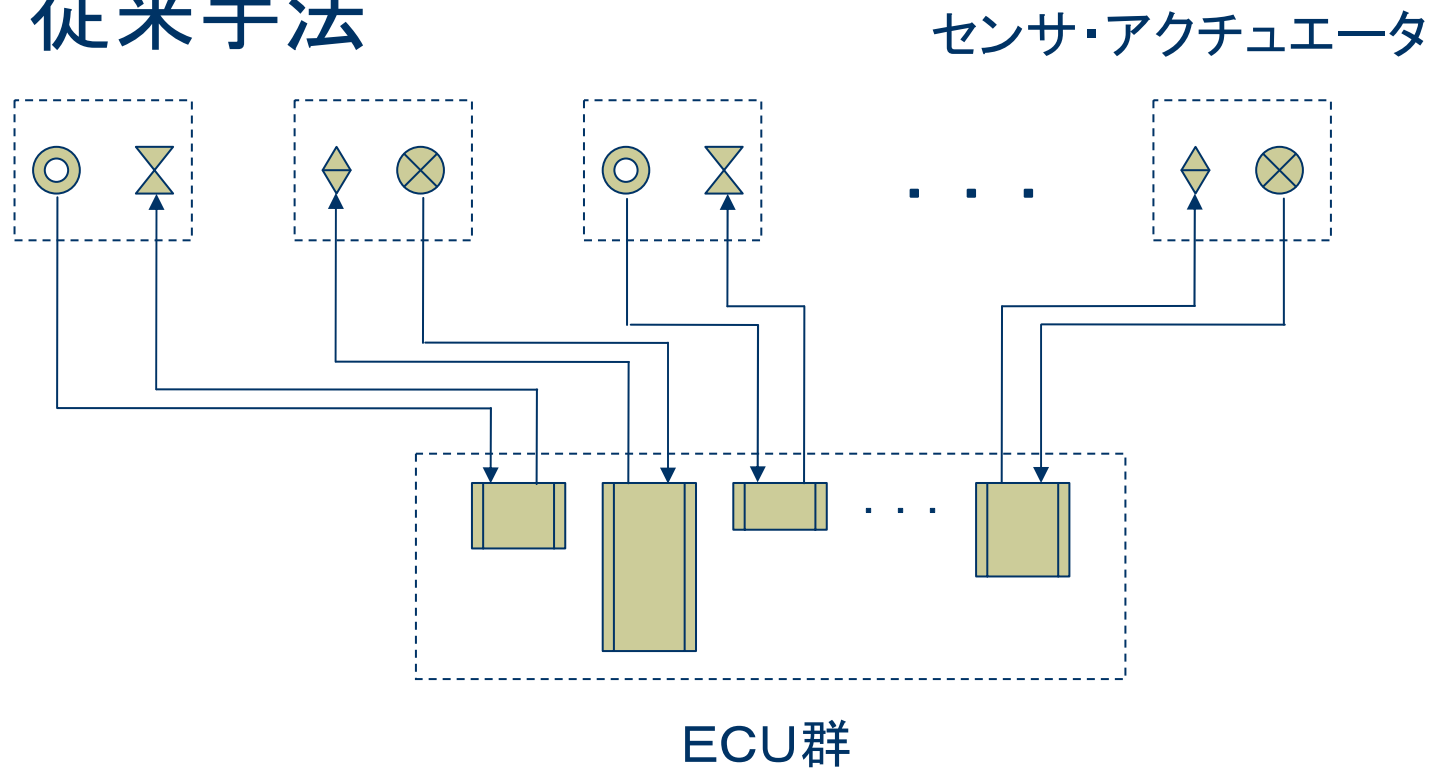
- センサ・アクチュエータとECUの対応が固定
 - 能力が余っても他に流用不可
 - 劣化・故障時の対応が困難

◆ NoCアプローチ

- センサ・アクチュエータの制御はどのコアも可
 - 利用可能な資源を有効に活用できる
 - 劣化・故障時には他のコアを利用できる

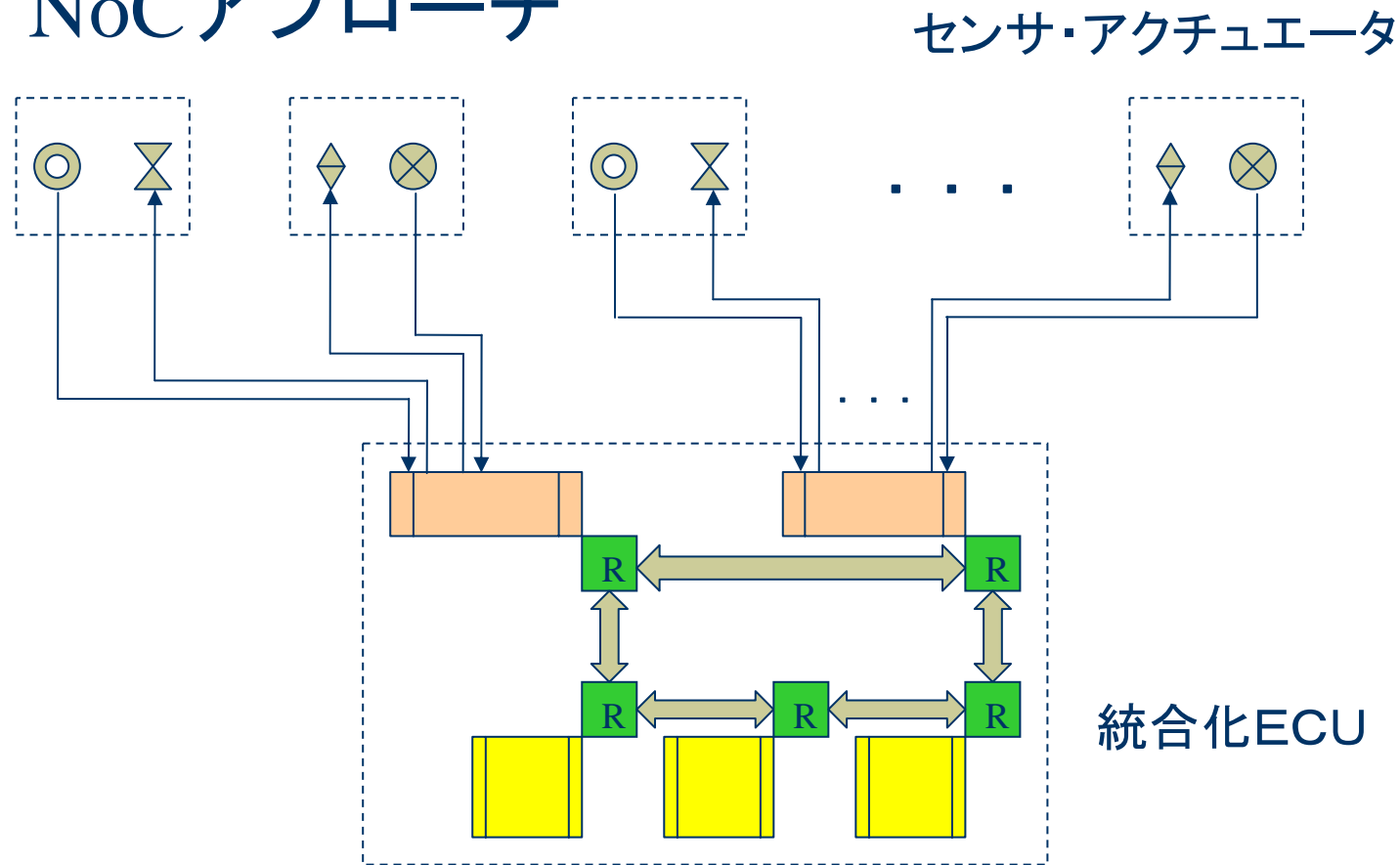
ディペンダビリティ・動作率の向上

◆ 従来手法



ディペンダビリティ・動作率の向上

◆ NoCアプローチ

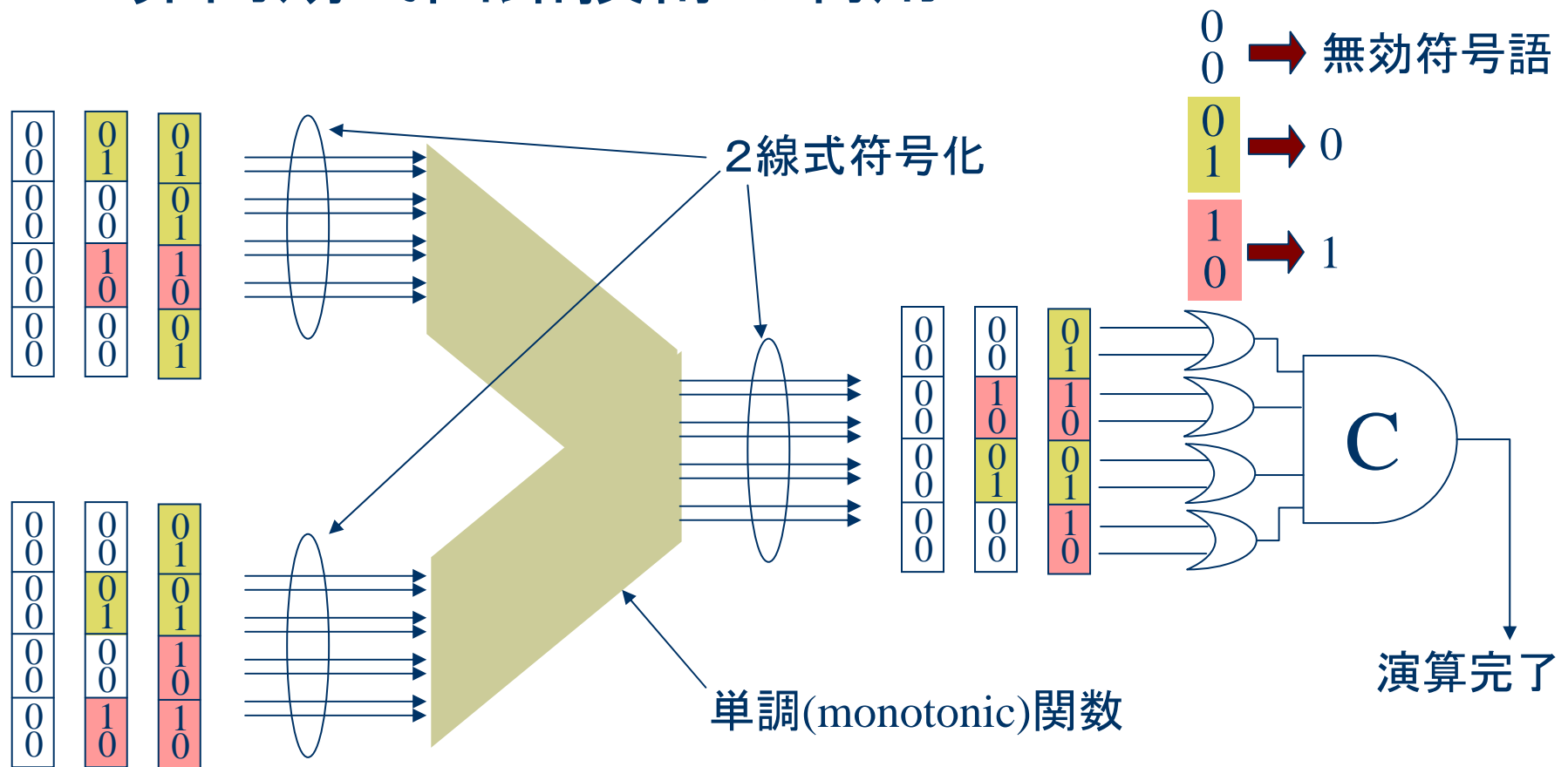


キーテクノロジー

- ◆ いろいろなレベルで**自律的に**
 - 故障しているものには処理を割り当てない
 - 劣化しているものへの割当処理量を減らす
- ◆ レベル
 - 演算器レベル
 - プロセッサレベル
 - ネットワークレベル
- ◆ 前提
 - 各レベルで同種の処理ユニットが複数(多数)利用可能

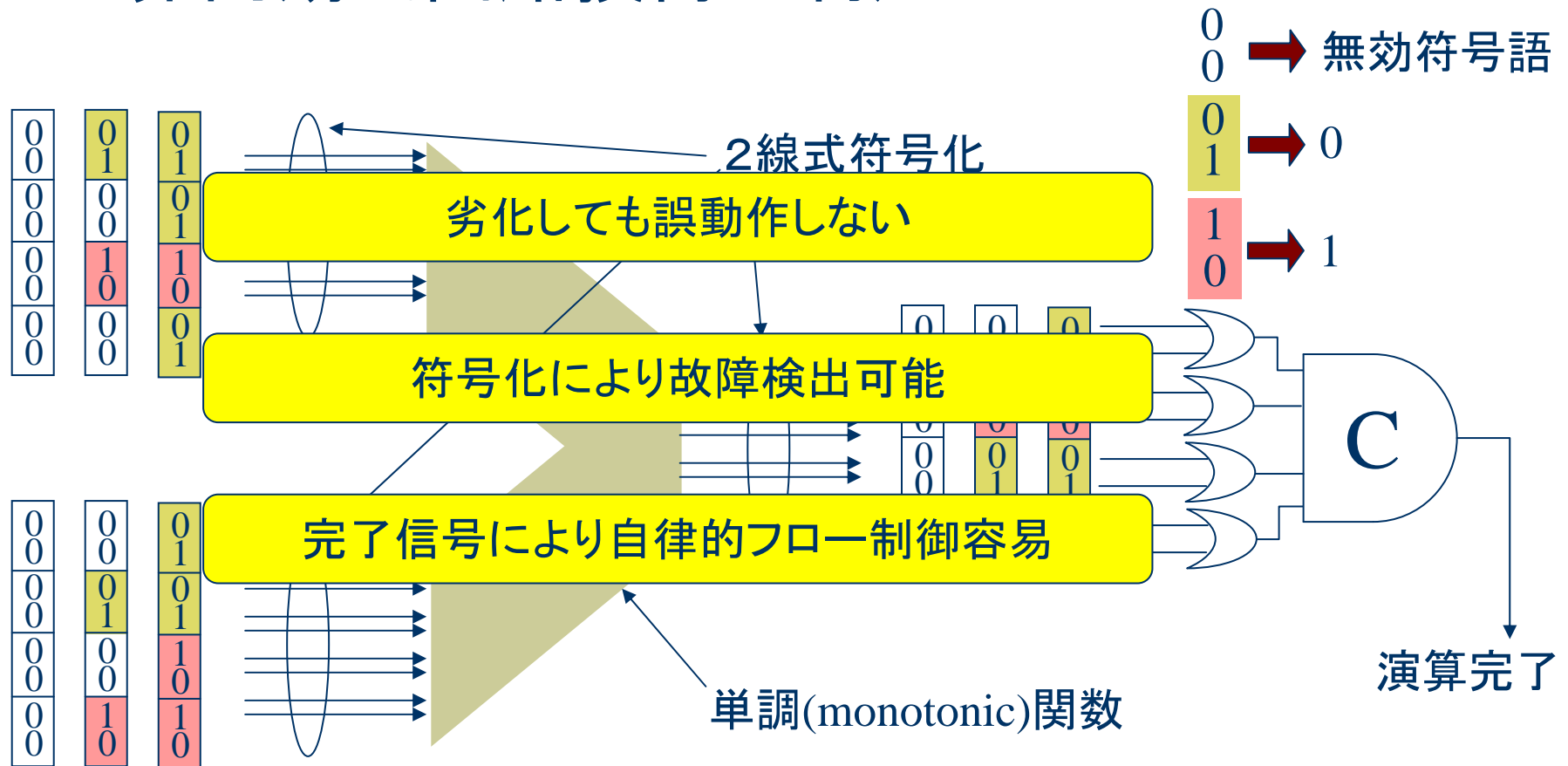
具体的にはどうやって実現する？

◆ 非同期式回路技術の利用



具体的にはどうやって実現する？

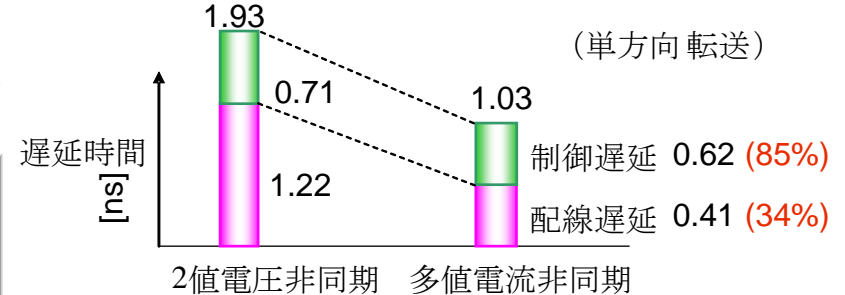
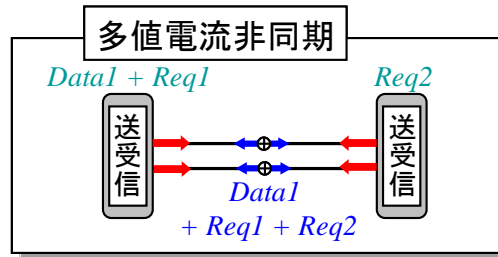
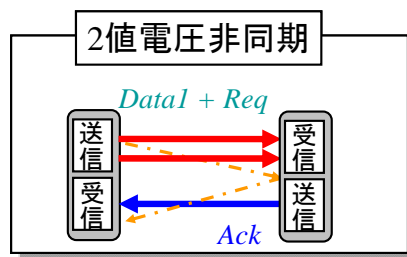
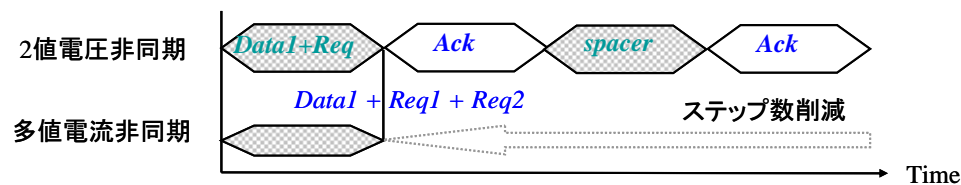
◆ 非同期式回路技術の利用



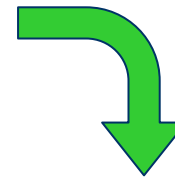
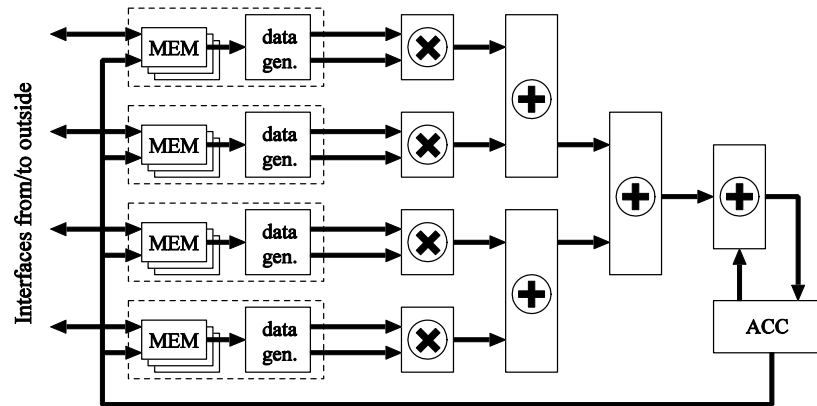
具体的にはどうやって実現する？

◆ 多値回路に基づく非同期式通信方式

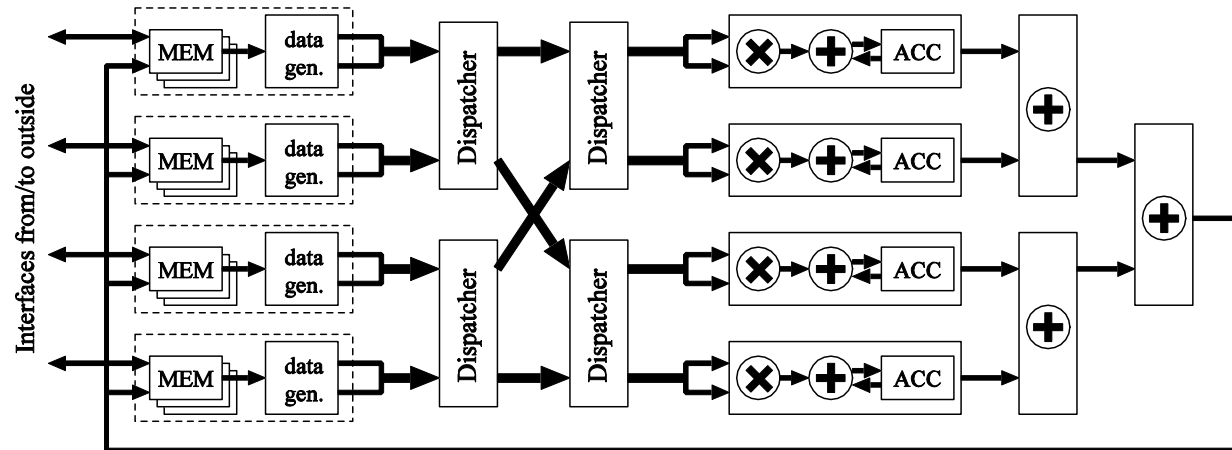
[一回のデータ転送に必要なステップ数]



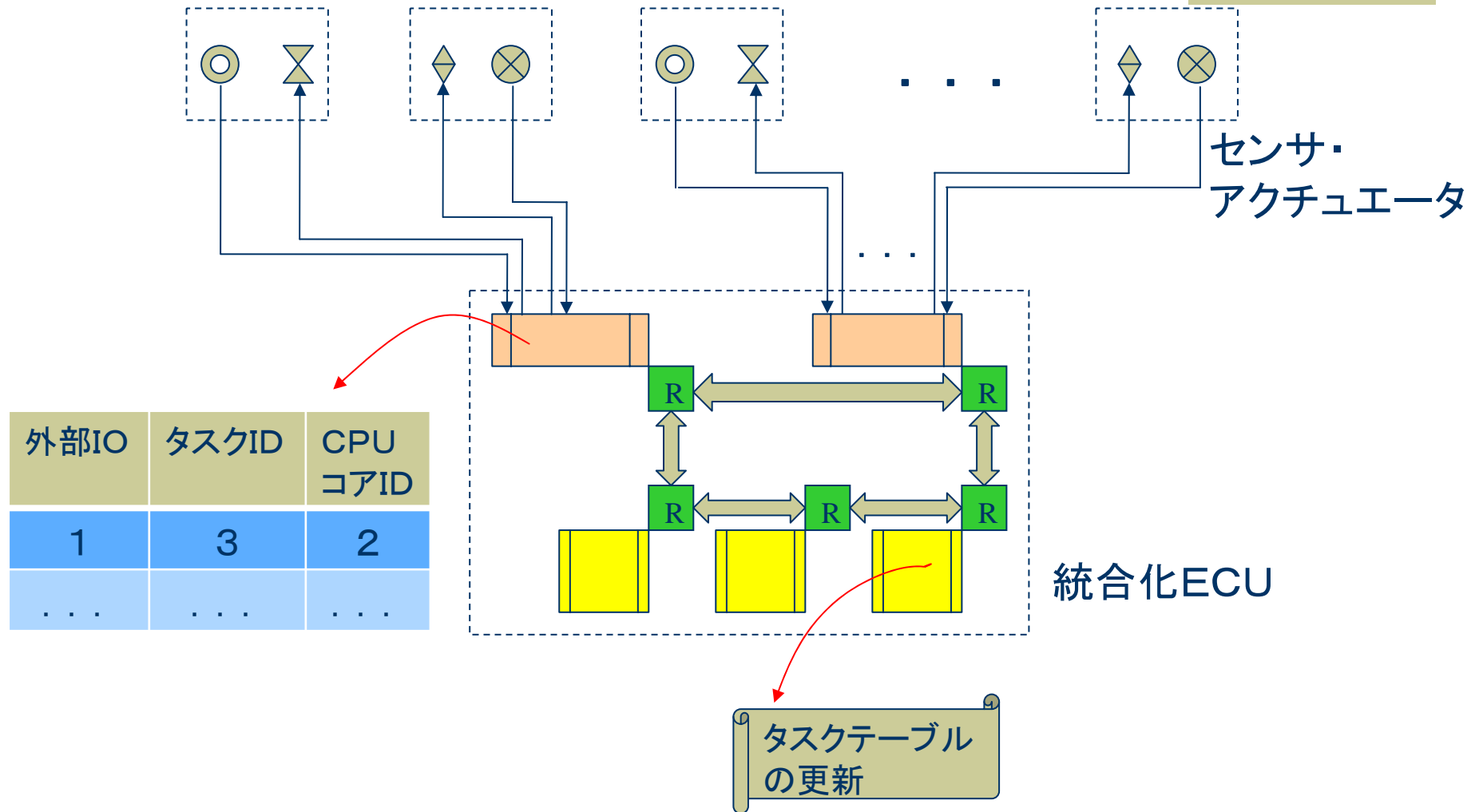
基本演算器レベルの割当変更



自律的なデータ
フロー制御



CPUコアレベルでの割当変更



NoCプロトタイプ設計・試作

◆ 車載制御系システムを想定

■ 仕様

- エンジン制御のさまざまな処理を統合
- 劣化や停止故障に対して、各CPUコアが自律的にタスク割当更新
 - ◆ 自然なマルチコア実行

■ 実証・評価

- Hardware In the Loop (HIL)シミュレーション
 - ◆ 有効性・実用性の実証
 - ◆ タスク割当更新時等のタイミング余裕の検討

まとめ

- ◆ 本プロジェクト
 - JST CREST: 平成20年10月～平成26年3月
 - <http://www.dvlsi.jst.go.jp>
- ◆ 関連する産業界から注目を集める
 - 設計論
 - 技術の開発を目指す