

非同期式回路の高位合成システム

High-level Synthesis of Asynchronous Circuits

米田 友洋・松本 敦(東工大)・Frederic BEAL(東工大)・後藤 有希子(東工大)
Tomohiro YONEDA, Atsushi MATSUMOTO (Tokyo Tech.), Frederic BEAL (Tokyo Tech.), Yukiko GOTO (Tokyo Tech.)

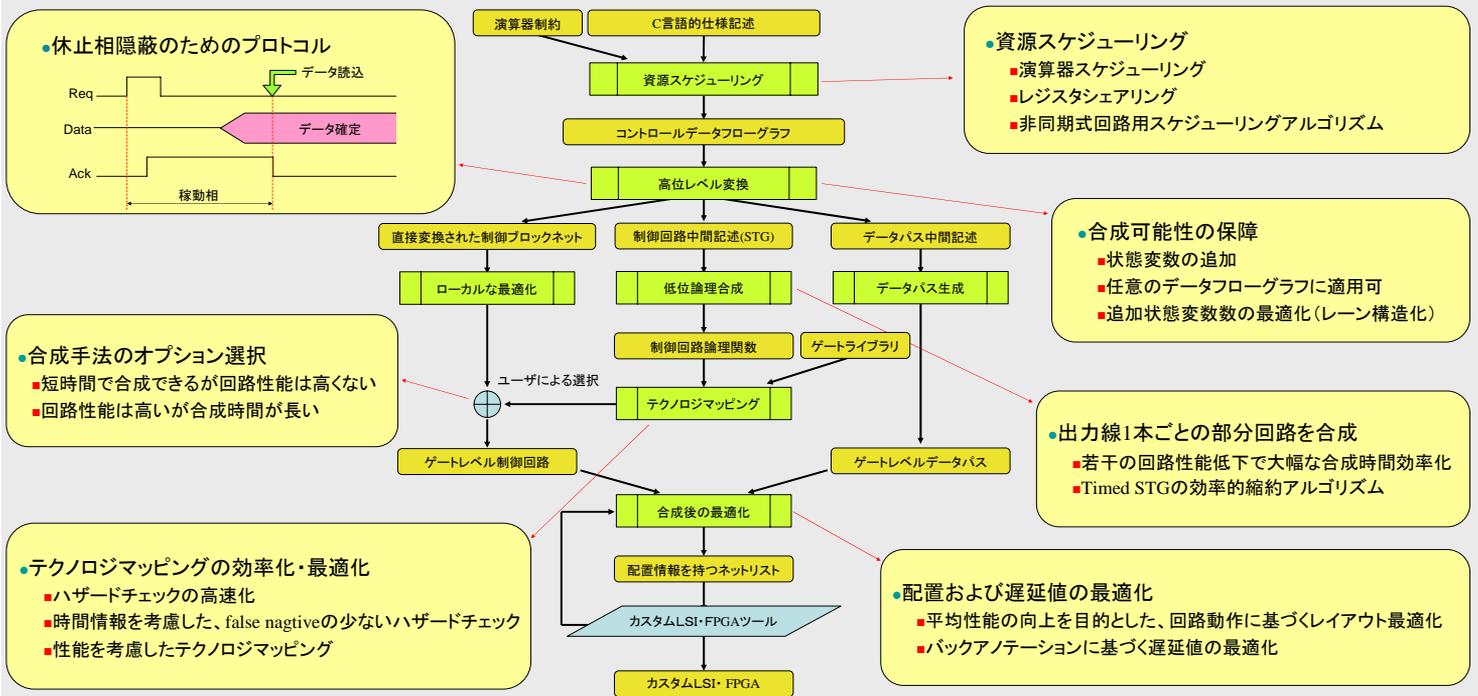
何がわかる？

現在のコンピュータで用いられているクロックは、システムの**高速化**や**低消費電力化**の妨げになりつつあります。非同期式回路は、**グローバルなクロックを一切用いない**ので、これらの問題を解決する可能性を持ちます。このような可能性を秘めた非同期式回路が、CADツールにより容易に設計できるようになります。

どんな研究？

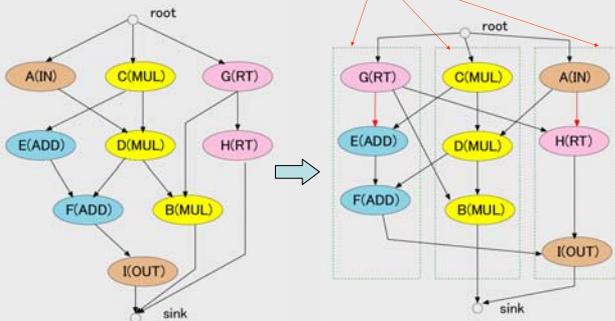
回路の仕様を**C言語的な記述**で表し、使用できる演算器数等の**制約**を与えると、最適に近い非同期式回路が**自動的に生成**できるようになります。また、得られた非同期式回路を、通常の**同期式FPGA** (Field Programmable Gate Array) にマッピングし、容易に同期式設計と回路性能や消費電力が比較できるようになります。

非同期式回路用高位合成システム(NUTAS)のツールフロー



2005年度に開発した主な技術

- 任意のデータフローグラフに対する合成可能性の保障
 - レーン構造への変形
 - 各レーンにおいて状態変数を追加



- ハザードチェックの高速化
 - 仕様の状態空間のみを探索
 - 近似手法になるがfalse negativeは少ない
 - 時間情報の追加が容易

