

2026年(令和8年)3月5日

## サブマイクロ秒・700Gbps 超を実現する 低遅延データ圧縮通信技術を開発 ～FPGA クラスタにおける通信ボトルネックの解消に貢献～

大学共同利用機関法人 情報・システム研究機構 国立情報学研究所 (NII、<sup>エヌアイアイ</sup> 所長: <sup>くろはし きだお</sup> 黒橋 禎夫、東京都千代田区) アーキテクチャ科学研究系 教授/所長補佐、<sup>こいぶち みちひろ</sup> 鯉淵 道紘、特任助教 <sup>ひらさわ しょういち</sup> 平澤 将一は、国立大学法人 広島大学(学長: <sup>おち みつお</sup> 越智 光夫、広島県東広島市)大学院先進理工系科学研究科教授 <sup>なかの こうじ</sup> 中野 浩嗣、富士通株式会社(代表取締役社長 <sup>ときた たかひと</sup> 時田 隆仁、本店 神奈川県川崎市中原区) シニアプロジェクトディレクター <sup>ふくもと なおと</sup> 福本 尚人、リサーチディレクター <sup>ほんだ たくみ</sup> 本田 巧の研究グループと共同で、FPGA クラスタにおける通信性能を大幅に引き上げる超低遅延・高帯域圧縮通信技術を開発しました。本技術は、FPGA 間通信においてデータ圧縮と復号を含めて 590 ナノ秒という極めて低い遅延を実現し、さらに 1 台の FPGA あたり最大 757Gbps の実効通信帯域を達成しました。本成果は、計算性能の高さに比べ通信性能がボトルネックとなっていたため FPGA ベースの高性能計算システムに対し、高いスケラビリティを提供するものです。

近年、書き換え可能な専用回路 (FPGA: Field Programmable Gate Array) を多数つなぎ、高速・低遅延・省電力で特定の処理を並列実行できる計算システム(以後、FPGA クラスタと呼ぶ)が注目を集めています。高性能な FPGA カードには高帯域なメモリが搭載され、単体カード内の計算性能およびメモリアクセス性能は大きく向上しています。一方で、FPGA 間の通信帯域や通信遅延は依然として制約が大きく、特に集合通信<sup>\*1</sup> を多用する大規模並列処理や AI 学習では、通信がシステム全体の性能を支配する要因となっていました。

この問題を解決する手段としてデータ圧縮が注目されていますが、従来のデータ圧縮方式はハードウェア実装の複雑さや処理遅延の増大が課題となり、超低遅延通信には適していませんでした。

本研究では、この問題を解決するデータ圧縮通信技術を開発しました。特徴は、どのような場合でも通信データが元より大きくならない軽量な圧縮方式と、通信路の幅に合わせてデータを整列させる独自の回路構成を組み合わせている点です。図 1 に示す提案 FPGA 回路の例では、16 個の数値データ (合計 512 ビット) をメモリから一度に受け取り、これらを圧縮後、256 ビット幅の通信路に効率よく送り出します。従来の方式では、圧縮後のデータを通信路の幅にぴったり合わせる処理が難しく、これが通信速度の低下を招いていました。本技術では、まず入力されたデータの並び順を入れ替えることで、複数のデータを同時に並列に圧縮でき、処理を高速化できます。圧縮されたデータは通信路の幅に揃えて送り出されるため、通信帯域を無駄なく活用できます。この例の回路を用いた評価では、実質的に通信性能を非圧縮時と比べて約 2 倍に高めながら、通信全体の遅延をサブマイクロ秒 (100 万分の 1 秒未満) という低遅延に抑えることに成功しました<sup>\*2</sup>。

本技術は、光技術を用いた高速通信回線を備える FPGA クラスタにおいて実装され、1対1の通信だけでなく、集合通信においても最大 757Gbps という高い通信性能を達成しました。さらに、AIの分散学習で用いられる勾配データの通信に適用したところ、学習結果の精度にほとんど影響を与えないことも分かりました。

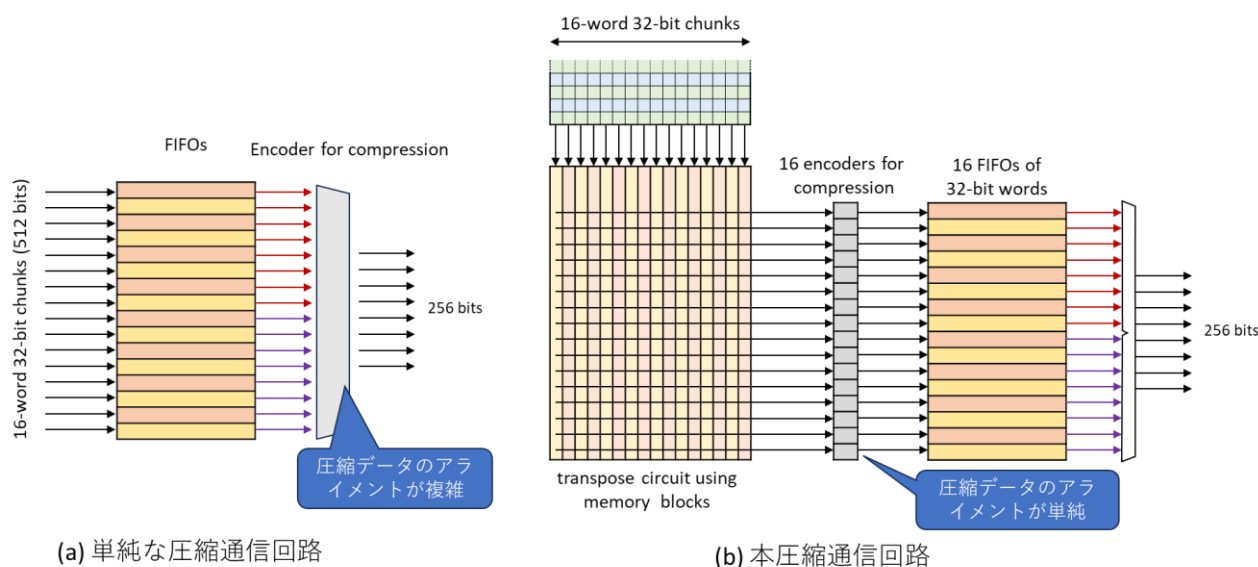


図 1: 16 個(計 512 ビット)の入力データを圧縮して 256 ビットに出力する回路例

本成果は、FPGA クラスタに限らず、将来の光インターコネクトを用いた高性能計算システムや AI アクセラレータにおいても有効性が期待されます。今後は、適応的な誤差制御や様々な数値表現への拡張を進め、より幅広い応用分野への展開を目指します。

〈メディアの皆様からのお問い合わせ先〉

**大学共同利用機関法人 情報・システム研究機構 国立情報学研究所**  
 総務部 総務企画課 企画・広報チーム  
 TEL:03-4212-2164 E-mail : [media@nii.ac.jp](mailto:media@nii.ac.jp)

**国立大学法人 広島大学**  
 広報室  
 TEL:082-424-3749 E-mail : [koho@office.hiroshima-u.ac.jp](mailto:koho@office.hiroshima-u.ac.jp)

- (\*1) 複数の計算ノード(FPGA を含)間でデータを一齐に送受信・共有する並列計算向けの通信方式。  
 (\*2) 評価に用いた FPGA クラスタは、8 台の FPGA を約 50Gbps の専用光リンクで相互に接続する構成。各 FPGA は異なる Xeon サーバーに格納されている。詳細: Michihiro Koibuchi, Takumi Honda, Naoto Fukumoto, Shoichi Hirasawa, Koji Nakano, A 590-nanosecond 757-Gbps FPGA Lossy Compressed Network, IEEE Transactions on Parallel and Distributed Systems, Volume 37, Issue 4, pp.836-848, 2026 DOI 10.1109/TPDS.2026.3659817.