

計算機システム設計論 Computer System Design

科目コード(Course Number) 20DIFb01

複合科学研究科 School of Multidisciplinary Sciences 情報学専攻 Department of Informatics 情報基盤科学 Information Infrastructure Science

学年(Recommended Grade) 1年 2年 3年 4年 5年

2単位(credit) 前学期 1st semester

米田 友洋(YONEDA Tomohiro) 五島 正裕(GOSHIMA Masahiro)

〔授業の概要 Outline〕

高性能、高信頼計算機システムを設計する上で必要な(1)計算機アーキテクチャ、高性能マイクロプロセッサ、プロセッサ実装技術等の技術、(2)システムの故障が及ぼす影響を阻止し、高い信頼性を持つフォールトトレラントシステムの設計に必要な、システム構成と回復、誤り検出、テスト生成、形式的検証等の技術について説明する。(講義)

This course will focus on (1) advanced computer architectures, high-end microprocessor, implementation technologies on processors, and (2) fault-tolerant system architectures and techniques for error recovery, error detection, automatic test pattern generation, and formal verification, all of which are indispensable for designing highly-reliable high-performance computer systems.

〔到達目標 Aim〕

高性能、かつ、高信頼な計算機システムを設計する上で必要な基盤技術を理解し、それを実現する技術の詳細を知ることが目的とする。

The goal of this class is that students well understand the fundamental concepts of high-performance and highly reliable computer systems and acquire the details of the techniques to support them.

〔成績評価 Grading criteria〕

授業の達成目標が習得できたかどうかをレポート(60%)および授業中の質問やプレゼンテーション(40%)により判定する。

Achievement of the aim will be assessed by reports (60%), questions and presentations in the class (40%).

〔授業計画 Lecture plan〕

担当教員：米田 友洋、五島 正裕

開講日：金曜4限(14:45-16:15)

授業計画：

(1-1) プロセッサアーキテクチャについての復習を兼ねて、パイプラインやキャッシュ等の計算の高速化技術について解説する。

(1-2) 高性能計算機の多くで採用されている並列計算機のアーキテクチャについて、スーパースカラプロセッサを中心として解説する。

(1-3) その他、計算機アーキテクチャに関する最新の技術動向を紹介する。

(2-1) フォールト・誤り・障害、フォールトトレランスのレベル等の基本概念を説明し、多重化による耐故障設計、シ

ステム再構成、回復技術について述べる。

(2-2) 回路における故障を検出するためのテスト生成アルゴリズムとして、DアルゴリズムとPODEMを取り上げ、アルゴリズムの詳細を解説する。

(2-3) 形式的設計検証の基本概念を説明し、CTLモデル検査のアルゴリズム、およびBDDに基づくその効率的実現方法について解説する。

Lecturers: Tomohiro Yoneda, Masahiro Goshima

Schedule: Friday, 5th slot(16:30-18:00)

Contents:

(1-1) Techniques to increase processor speed, e.g. pipeline and cache structures, will be explained with reviews of processor architecture.

(1-2) Architecture of parallel computers will be explained focusing on superscalarprocessor architecture.

(1-3) Topics of the cutting-edge technology about computer architecture will be introduced.

(2-1) The fundamental concept about faults, errors, and failures as well as the level of fault tolerance will be explained. Then, the fault tolerant architecture based on redundancy, and the techniques for system reconfiguration and recovery will be discussed.

(2-2) The automatic test pattern generation problem will be explained, and its two major algorithms, D algorithm and PODEM algorithm will be discussed.

(2-3) The fundamental idea of formal verification will be explained, and the CTL model checking algorithm and its efficient implementation based on BDDs will be discussed.

〔実施場所 Location〕

国立情報学研究所(NII)：講義室1(12階1212号室)

National Institute of Informatics (NII): Lecture room 1 (12F, room1212)

〔使用言語 Language〕

日本語または英語

Japanese or English

〔教科書・参考図書 Textbooks and references〕

参考書：

米田、梶原、土屋：ディペンダブルシステム(共立出版, 2005.11)

〔関連URL Related URL〕

URL:

〔上記URLの説明 Explanatory Note on above URL〕

〔備考・キーワード Others/Keyword〕

準備学習：授業終了時に示す課題についてレポートを作成すること

履修条件：プロセッサ・アーキテクチャ、および、デジタル論理回路に関する基礎的な知識を有すること

Assignment: Students are required to solve at home the problems given in the class.

Pre-requisites: Students need to know basic ideas on processor architectures and digital logic circuits.
