

■米田友洋 アーキテクチャ科学研究系 教授

【タイトル】

非同期式回路の次世代 CAD ツールの開発

【本文】

今のコンピューターにはクロック機能が組み込まれた同期式回路が採用されています。クロック信号を用いれば容易にタイミングを取れるので制御しやすくなっていますが、トランジスタのサイズが小さくなるにつれて、さまざまな問題が生じてくるようになりました。そこで、コンピューターが開発された初期の頃に使われていた非同期式回路に注目して問題解消を試みようと考えました。非同期式回路を組み込んだ IC を作成するためには、CAD（設計用ソフトウェア）ツールが必要ですが、現在は同期式回路用 CAD ツールしかありません。そこで、設計のためのアルゴリズムの組み立てから始めて、実際にプログラミングをして非同期式回路専用の CAD ツールを開発する作業を進めており、多様な要素技術を研究しています。

同期式回路では遅延やムダが生じる恐れ

クロック信号は 1 と 0 を周期的に繰り返すもので、例えば現在パソコンで用いられている演算装置の周波数が 3 ギガヘルツ/秒というのは、1 秒間に 30 億回、1 と 0 が繰り返されます。クロックを速く動かせば動かすほど高速の演算が可能になります。しかし 1990 年代頃から、トランジスタのサイズが小さくなる一方で、クロックが高速になりすぎたことから、クロック信号がまんべんなく IC 内の記憶素子に届かず、タイミングにズレが生じるといった問題が起こるようになりました。同期させようとするれば、回路内の配線の距離を等しく設計したり、いちばん遅い素子に合わせるようにするといった複雑な手間がかかるので、ムダが生まれます。また高周波化すると、クロックを分配するための消費電力もかさむようになります。

そこで、クロックのない非同期式回路に着目しました。非同期式回路とは、1 つの処理が終わったら、それが終わったことを次の素子に伝えて、“バケツリレー” のようにして処理を進めていくという仕組みです。設計理論は 1950 年代に作られたものですが、素子間のデータ転送に時間がかかるため、同期式が主流になりました。ところが現在では素子が十分高速になっているので、様々な制約から同期式回路の本来の性能が発揮できないのであれば、場合によっては非同期のほうが優位に立ち、低消費電力にも貢献できる可能性があるのです。

システムの信頼性向上に貢献したい

例えば、携帯電話を作ろうとする場合に今は非同期式回路で作ろうという発想はありませんが、それも選択肢の 1 つになるといったように、産業界に定着させるとことに目標を置いています。クロックを使わずに制御するという大幅な発想の転換を迫られるために、製品の開発期間が短い中で危険を冒さずにすむような安定した技術を追求しています。

同期式回路の、さまざまな変動に対する素子の性能のばらつきは現在 2 倍程度ですが、トランジスタの小型化が進むにつれてこの傾向は加速され、10 年以内には 6 倍に達すると予測されているため、非同期のメリットを唱えて啓発していくことにも努めています。

もともと私の研究テーマはハードウェアの設計検証で、何か物を作ったときにそれが正しく動作するかという検証を手がけており、その 1 つの対象が非同期式回路でした。今後もシステムの信頼性の向上を目指した研究を重ねていきたいと思っています。

(取材・構成 塚崎朝子)